

CERTIFIED COPY OF
PRIORITY DOCUMENT

#3
Jc971 U.S. PTO
10/022731
12/20/01

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

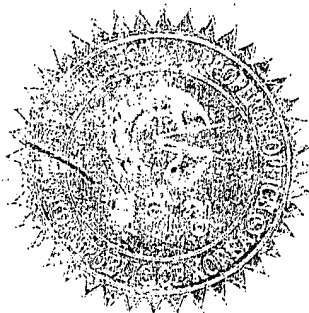
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 61537 호
Application Number PATENT-2001-0061537

출원년월일 : 2001년 10월 05일
Date of Application OCT 05, 2001

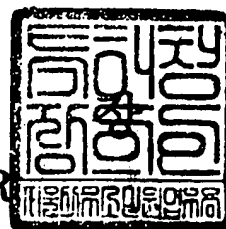
출원인 : 한국전자통신연구원
Applicant(s) KOREA ELECTRONICS & TELECOMMUNICATIONS RESEARCH INST



2001 년 11 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.10.05
【발명의 명칭】	비동기 코드 분할 다중 접속 시스템의 수신기에서 간단한 구조를 갖는 간섭 제거 장치
【발명의 영문명칭】	Simplified Interference Canceller for Receiver of DS-CDMA System
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박정후
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	최인경
【성명의 영문표기】	CHOI, In Kyeong
【주민등록번호】	600221-2674513
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 목련아파트 105-1105
【국적】	KR
【발명자】	
【성명의 국문표기】	김성락
【성명의 영문표기】	KIM, Seong Rag
【주민등록번호】	590107-1683815
【우편번호】	305-390
【주소】	대전광역시 유성구 전민동 나래 아파트 106-801
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 463,000 원

【감면사유】 정부출연연구기관

【감면후 수수료】 231,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

1. 청구범위에 기재된 발명이 속한 기술분야

CDMA 시스템에서의 다중 사용자 검출기 구현을 위한 간섭 잡음 제거 수신기 즉 CDMA 시스템의 다중 접속 간섭을 제거하기 위한 다단계 병렬 간섭 제거 수신기에 관한 것임.

2. 발명이 해결하고자 하는 기술적 과제

CDMA 시스템의 MAI를 제거하기 위한 다단계 병렬 간섭 제거 수신기에서 감산을 위한 신호 재생시 필요한 성형 여파기의 수를 줄일 뿐만 아니라 비동기 시스템에도 적용이 가능한 간섭 제거 수신기를 제공함.

3. 발명의 해결 방법의 요지

오버 샘플 단위의 기저 대역 확산 신호를 수신하고 오버 샘플 단위에서 칩 단위로 다운 샘플링하여 복조 신호를 출력하는 복조부, 상기 복조 신호를 오버 샘플 단위 신호 및 칩 단위 신호로 변환하여 출력하는 재생부, 상기 오버 샘플 단위 신호를 합산하는 가산부, 상기 합산 신호를 대역 확산 신호로 필터링하는 성형 여파부, 상기 수신 신호로부터 상기 성형 여파부에 의해 필터링된 대역 확산 신호를 감산하여 상기 잔여 신호를 출력하는 감산부 및 상기 재생부로부터 출력된 칩 단위 신호를 딜레이시키는 지연부를 갖는 다중 접속 간섭 제거 장치를 포함함.

4. 발명의 중요한 용도

CDMA 시스템의 수신기에 적용됨.

【대표도】

도 2

【색인어】

DS-CDMA, 수신기, MAI, 간섭 제거, 성형 여파기

【명세서】

【발명의 명칭】

비동기 코드 분할 다중 접속 시스템의 수신기에서 간단한 구조를 갖는 간섭 제거 장치{Simplified Interference Canceller for Receiver of DS-CDMA System}

【도면의 간단한 설명】

도1은 본 발명에 따른 일실시예인 다단계 병렬 간섭 제거를 위한 간섭 제거 수신기 구조도,

도2는 본 발명에 따른 일실시예인 다단계 병렬 간섭 제거를 위한 순환형 간섭 제거 수신기 구조도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 복조부	130 : 재생부
150 : 감산부	170 : 복조부
111a : 복조블럭	131a : 재생블럭
113a : 핑거	115 : 데시메이터
143 : 0 삽입기	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 코드 분할 다중 접속(Code Division Multiple Access, CDMA) 시스템의 수신기에서 사용할 수 있는 병렬 간섭 제거 수신기의 구조에 관한 것으로서, 보다 상세하게는 CDMA 시스템에서의 다중 사용자 검출기 구현을 위한 간섭 잡음 제거 수신기 즉 CDMA 시스템의 다중 접속 간섭(Multiple Access Interference, MAI)을 줄이기 위한 다단계 병렬 간섭 제거 수신기에 관한 것이다.
- <10> 병렬 간섭 제거 방법은 혼합되어 수신된 다중 사용자의 신호를 각 사용자 별로 재생해 낸 후에 수신 신호로부터 재생된 간섭 신호를 모두 감산함으로써 간섭 제거를 수행하는 방법이다.
- <11> CDMA 시스템의 수신기는 각 단말기에서 고유의 확산 코드를 사용한 신호들이 동일한 주파수 대역으로 송신되어 채널을 통하여 혼합되어 수신되므로 수신 신호의 역확산 시 발생하는 MAI에 의해 시스템의 성능이 저하된다.
- <12> 또한, MAI 제거를 위해 기저 대역 수신 신호에다가 각 경로별 기저 대역 재생 신호를 감산하고자 할 때, 재생 신호를 기저 대역 신호로 변환하기 위한 대역 확산 필터의 위치에 따라 시스템의 복잡도는 상당히 달라진다.

- <13> 기존의 병렬 간섭 제거 수신기는 간섭 제거를 위한 신호를 재생할 때 각 핑거마다 성형 여파기를 두어 시스템의 복잡도가 상당히 높다는 단점이 있다. 예를 들면, 다중 경로의 수(즉, 각 검출기 내의 핑거 수)가 L 개, 사용자의 수(즉, 검출기의 수)가 K 개인 경우에 S 단 간섭 제거를 수행하기 위해 필요한 대역 확산 필터의 수는 $K \cdot L \cdot S$ 개가 된다.
- <14> 이러한 시스템의 복잡도를 해소하기 위해 각 핑거마다 성형 여파기를 두는 대신, 각 검출기마다 대역 확산 필터를 두는 경우에는 $K \cdot S$ 개의 필터가 필요하며, 사용자 수가 많은 경우에 여전히 시스템의 복잡도가 높다는 문제점이 있다.
- <15> 이러한 문제점을 해결하기 위해 종래 기술인 'CDMA 멀티 유저형 간섭 캔슬러(일본 특원평 10-243617)'는 각 검출기의 재생 신호를 합한 후에 성형 여파기를 통과하도록 하여 각 간섭 제거단에 한 개의 성형 여파기만을 두었다.
- <16> 그러나 상기 종래 기술은 칩 단위의 감산을 수행하며 사용자 신호가 비동기 시스템 신호인 경우를 고려하지 않았고, 심볼 단위 채널 추정을 수행함으로써 채널 환경이 변할 때 채널 추정이 부정확하다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <17> 따라서, 본 발명은 상기와 같은 문제를 해결하기 위해 안출된 것으로서, CDMA 시스템의 MAI를 줄이기 위한 다단계 병렬 간섭 제거 수신기에서 감산을 위한 신호 재생시 필요한 성형 여파기의 수를 줄일 뿐만 아니라 비동기 시스템에도 적용이 가능한 간섭 제거 수신기를 제공함에 그 목적이 있다.

<18> 또한, 본 발명은 상기와 같은 문제를 해결하기 위해 안출된 것으로서, CDMA 시스템의 MAI를 줄이기 위한 다단계 병렬 간섭 제거 수신기에서 하나의 하드웨어로 여러 단의 간섭 제거를 수행할 수 있으며 비동기 시스템에도 적용이 가능한 순환형 간섭 제거 수신기를 제공함에 그 목적이 있다.

<19> 본 발명이 속한 기술 분야에서 통상의 지식을 가진 자는 본 명세서의 도면, 발명의 상세한 설명 및 특허청구범위로부터 본 발명의 다른 목적 및 장점을 쉽게 인식할 수 있다.

【발명의 구성 및 작용】

<20> 상기와 같은 목적을 달성하기 위해 본 발명은, 다중 접속 간섭(MAI) 제거 장치를 포함하는 코드 분할 다중 접속 시스템의 수신기에 있어서, 오버 샘플 단위의 기저 대역 확산 신호로서 발신 단말로부터의 수신 신호 또는 잔여 신호를 수신하고 오버 샘플 단위에서 칩 단위로 다운 샘플링하여 복조 신호를 출력하는 복조부, 상기 복조 신호를 채널라이제이션(channelization) 및 스크램블링(scrambling)을 통해 재생하고 상기 재생 신호를 오버 샘플 단위 신호 및 칩 단위 신호로 변환하여 출력하는 재생부, 상기 오버 샘플 단위 신호를 합산하는 가산부, 상기 합산 신호를 대역 확산 신호로 필터링하는 성형 여파부, 상기 수신 신호로부터 상기 성형 여파부에 의해 필터링된 대역 확산 신호를 감산하여 상기

잔여 신호를 출력하는 감산부 및 상기 재생부로부터 출력된 칩 단위 신호를 딜레이시켜 상기 잔여 신호와 타이밍을 일치시키는 지연부를 갖는 다중 접속 간섭 제거 장치를 포함하되, 상기 잔여 신호를 수신하는 상기 다중 접속 제거 장치는 상기 복조부에서 칩 단위로 다운 샘플링된 잔여 신호에 상기 지연부로부터 출력된 칩 단위 신호를 합산하여 복조 신호로 출력 시키는 것을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기를 제공한다.

<21> 본 발명에 따르면, 모든 재생 신호를 모두 합한 다음 성형 여파기를 통과하도록 하여 시스템의 복잡도 문제를 개선하게 되고, 비동기 사용자 신호의 경우에도 적용이 가능하며 오버샘플 단위의 감산, 칩 단위의 채널 추정을 통해 CDMA 시스템의 수신기 성능을 향상시키게 된다.

<22> 상술한 목적, 특징 및 장점들은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 우선 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

- <23> 도1은 본 발명에 따른 일실시예인 다단계 병렬 간섭 제거를 위한 간섭 제거 수신기 구조도로서, 그 동작은 다음과 같다.
- <24> 수신 중간 주파수(IF) 신호는 수신 안테나(미도시) 및 반송파 복조기(미도시)를 거친 후 아날로그-디지털 변환기(101)를 거쳐 생성된다. 다음으로 수신 신호는 각 단말기가 전송 시 사용한 대역 확산 필터인 루트 성형 여파기(Root Raised Cosine Filter)와 동일한 루트 성형 여파기(Root Raised Cosine Filter, 102)를 통해 기저 대역 신호로 변환되어 수신 버퍼(103)에 저장됨과 동시에 복조부(demodulator)(110) 내의 복조 블록(복조 블록 1(111a), ..., 복조 블록 K(111k))에 입력된다.
- <25> 각 복조 블록(111a 내지 111k)으로 입력된 기저 대역 신호는 각 펄스(펄스 1(113a), ..., 펄스 L(113l))에 입력된다. 여기서 K 개의 복조 블록(111a 내지 111k)은 동일한 구조로 구성되어 있고 본 발명의 간섭 제거기가 적용되는 CDMA 시스템의 사용자의 수와 일치한다. 또한, 각 복조 블록(111a 내지 111k)의 펄스(113a 내지 113l)는 각 사용자의 L 개 다중 경로 신호를 복조하는 기능을 한다.
- <26> 각 복조 블록(111a 내지 111k)은 동일한 기능을 수행하므로 이하에서는 복조 블록 1(111a) 및 이에 연결된 재생부(130)의 재생 블록 1(131a), 감산부(150) 및 복조부(170)의 복조 블록 1(171a)이 중심이 되어 설명된다.
- <27> 복조 블록 1(111a)의 펄스(113a 내지 113l)에 병렬 입력된 오버 샘플 단위의 I/Q 수신 신호는 I 신호와 Q 신호로 분리되어 각 데시메이터(115)에 병렬 입

력된다. 데시메이터(115)를 통하여 칩 단위로 다운 샘플된 I/Q 출력 신호는 각각 전용 물리 데이터 채널(Dedicated Physical Data Channel, DPDCH) 복조기(117)와 전용 물리 제어 채널(Dedicated Physical Control Channel, DPCCH) 복조기(119)를 통해 디스크램블링(De-scrambling)과 다채널라이제이션(De-channelization)을 거치며 경로별 데이터 신호와 제어 신호로 복조되어 각각 DPDCH 최대비 결합기(Maximum Ratio Ccombiner, MRC)(123)와 DPCCH MRC(125)로 입력된다.

<28> 한편, DPCCH 복조기(119)로부터 출력되는 파일럿 신호를 이용하여 채널 추정기(121)는 각 경로별 채널 추정을 한 후 채널 추정치(Ch_{est})를 DPDCH MRC(123)와 DPCCH MRC(125)로 입력한다. DPDCH MRC(123)와 DPCCH MRC(125)는 각각 상기 두 입력값- 경로별 데이터 신호/제어 신호 및 채널 추정치 -을 이용하여 DPDCH 비트와 DPCCH 비트의 최대비 결합 연성 비트 판정을 수행하여 감산을 위해 필요한 수신 신호의 재생을 위해 신호 재생부(Regenerator)(130)로 입력한다.

<29> 복조부(110)의 출력값인 복조 블록(111a 내지 111k)의 연성 비트 판정값은 신호 재생부(130)의 각 신호 재생 블록(재생 블록 1(131a), ..., 재생 블록 K(131k))으로 병렬 입력되어 각 신호 재생 블록(131a 내지 131k)에 있는 DPDCH 및 DPCCH를 위한 비트 판정기(135)를 통해 임시 비트 판정되는데, 입력이 음수가 아니면 1로, 음수인 경우에는 -1로 판정 된다.

<30> 비트 판정기(135)를 통해서 비트 판정된 값은 신호 재생 블록 1(131a) 내의 L 개의 핑거(133a 내지 133l)에 입력된다. 핑거(133a 내지 133l)에 입력된 비트 판정값은 송신기에서와 동일한 과정을 거쳐 확산되는데, 먼저 채널을 구분하기 위해 각 채널마다 할당된 고유의 직교 가변 확산율(orthogonal variable

spreading factor, OVSF) 코드를 이용하여 확산하는 채널 구분기(137)를 거친 후 칩 단위로 출력된다. 이때의 OVSF 코드는 코드 생성기(미도시)를 통해 생성된다.

<31> 다중 경로 신호를 재생하기 위해 채널 추정치 곱셈기(139)에서는 채널 구분기(137)를 통해 얻어진 DPDCH와 DPCCH 채널에 채널 추정치(Ch_{est})를 곱한다. 채널 추정치 곱셈기(139)를 통해 얻어진 DPDCH 재생 신호와 DPCCH 재생 신호는 사용자를 구분하기 위해 스크램블러(141)에 입력되어 코드 생성기(미도시)에서 생성된 스크램블링 코드와 곱해진 후 I/Q 신호로 출력된다.

<32> 출력된 칩 단위의 I/Q 신호는 0(零) 삽입기(143)로 입력되고 0(零) 삽입기(143)는 입력된 칩 단위의 I/Q 신호 뒤로 '오버샘플수-1' 개의 0을 삽입하여 오버샘플 단위의 신호로 변환되어 출력된다. 경로 선택기(145)는 다중 경로 신호 중 감산에 참여될 신호를 선택하는 역할을 하는데, 순위 결정기(미도시)를 통해서 다중 경로 신호의 순위를 결정한 다음 경로 선택기(145)가 그 순위에 따라 출력하거나 출력하지 않게 된다. 한 핑거 내 신호의 순위는 I/Q 채널에 동일하게 주어지며, I/Q 채널의 경로 선택기에서 I/Q 신호를 동시에 선택하거나 선택하지 않게 된다. 모든 경로가 다 선택되어지면 병렬 간섭 제거 수신기가 된다.

<33> 선택되는 경우, 0 삽입기(143)를 통과한 신호는 각 사용자 및 경로의 딜레이를 고려하여 감산부(150)로 입력되며, 0 삽입기(145)를 통과하지 않은 칩 단위 I/Q 신호는 경로 선택기(145)를 통해 그대로 출력된다. 이러한 과정은 신호 재생부(130) 내의 신호 재생 블록(131a 내지 131k)에 포함된 모든 핑거(133a 내지 133i)에 동일하게 적용된다.

- <34> 신호 재생부(130) 내의 신호 재생 블럭(131a 내지 131k)에서 출력된 오버샘플 단위 신호는 상기한 바와 같이 간섭 제거를 위한 감산부(Subtractor, 150)로 입력되어 재생 신호 가산기(151)에서 모두 합산된다. 재생 신호 가산기(151)를 통해서 모두 합산된 신호는 성형 여파기(153)를 통과한다. 재생 신호를 모두 합한 다음에 성형 여파기(153)를 통과하도록 함으로써, 일단(1 stage) 간섭 제거를 위해서는 성형 여파기(153)를 한번만 통과하면 된다. 이는 각 재생 신호마다 성형 여파기를 통과하는 종래 기술에 비하여 구조가 상당히 간단해 지며 연산량이 감소된다.
- <35> 감산기(155)에서는 수신 버퍼(103)에 저장된 수신 신호로부터 성형 여파기(153)의 출력값을 감산한다. 이 감산기(155)는 수신 신호와 선택된 재생 신호의 차이와 가우시안 잡음(Gaussian noise) 신호만을 출력하게 되고 이 출력 신호를 잔여 신호(Residual Signal)라 한다.
- <36> 상기된 I/Q 잔여 신호는 재생 신호의 선택 여부에 무관하게 복조기(170)의 각 복조 블럭(171a 내지 171k)으로 동시에 병렬 입력되어 각 펄스(173a 내지 1731) 내에 있는 I/Q 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된다.
- <37> 상기 데시메이터(175)의 출력값은 칩 단위 신호로서 각 사용자에게 주어진 칩 비동기 정보를 포함하고 있다. 상기 경로 선택기(145)에 의해 선택되지 못한 신호의 복조를 위해서는 단순히 잔여 신호를 수신 신호로 하여 복조부(110)에서와 동일한 과정을 수행하게 된다.
- <38> 한편, 상기 경로 선택기(145)에 의해 선택된 신호의 복조를 위해서는 감산기(155)에서 선택된 재생 신호가 모두 감산되었으므로 상기 얻어진 잔여 신호에

각 경로의 재생 신호를 더하여 그 경로 신호의 비트 판정을 할 수 있다. 이를 위해서 신호 재생부(130) 내의 신호 재생 블록(131a 내지 131l)에서 출력된 칩 단위 I/Q 신호는 잔여 신호와 타이밍을 맞추기 위해 딜레이(104, 105)를 고려한 후 복조 블록 1(171a) 내의 해당 핑거(173a 내지 173l)로 입력된다.

<39> 각 핑거의 I 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된 I 잔여 신호는 딜레이(104)가 고려된 I 재생 신호와 합해져서 DPDCH 복조기(177)로 입력되며, Q 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된 Q 잔여 신호는 딜레이(105)가 고려된 Q 재생 신호와 합해져서 DPCCH 복조기(153)로 입력된다. 그 이후의 과정은 상기된 복조부(110)에서와 동일하다.

<40> 간섭 제거 과정을 통하여 다수의 혹은 전부의 경로 신호가 제거된 상황에서 비트 판정이 이루어지므로 보다 정확한 판정이 이루어질 수 있다. 최종 비트 판정은 DPDCH MRC(183)와 DPCCH MRC(185) 후에 경성 판정으로 이루어 진다.

<41> 도2는 본 발명에 따른 일실시예인 다단계 병렬 간섭 제거를 위한 순환형 간섭 제거 수신기 구조도이다. 그 동작은 다음과 같다.

<42> 수신 중간 주파수 신호는 도1과 동일한 과정을 통해서 생성되어 각 단말기가 전송 시에 사용된 것과 동일한 루트 성형 여파기(102)를 거쳐 기저 대역 신호로 변환되어 감산부(201)의 버퍼(203)에 저장된다. 버퍼(203)의 기저 대역 신호는 복조부(170) 내의 복조 블록(복조 블록 1(171a), ..., 복조 블록 K(171k))에

병렬 입력되고, 각 복조 블록(171a 내지 171k)의 각 핑거(핑거 1(173a), ..., 핑거 L(173l))에 입력된다.

<43> 여기서 K 개의 복조 블록(171a 내지 171k)은 동일한 구조로 구성되어 있고 본 발명의 간섭 제거기가 적용되는 CDMA 시스템의 사용자의 수와 일치한다. 또한, 각 복조 블록(171a 내지 171k)의 핑거(173a 내지 173l)는 각 사용자의 L 개 다중 경로 신호를 복조하는 기능을 한다.

<44> 각 복조 블록(171a 내지 171k)은 동일한 기능을 수행하므로 이하에서는 복조 블록 1(171a) 및 이에 연결된 재생부(130)의 재생 블록 1(131a)이 중심이 되어 설명된다.

<45> 각 복조 블록(171a 내지 171k)의 핑거(173a 내지 173l)에 병렬 입력된 오버샘플 단위의 I/Q 수신 신호는 각각 I/Q 신호 데시메이터(175)에 병렬 입력된다. 데시메이터(175)를 통하여 칩 단위로 다운 샘플된 I/Q 출력 신호는 신호 재생부(130) 내의 경로 선택기(145)로부터 출력되어 딜레이(104, 105)가 고려된 I/Q 신호와 합해져서 DPDCH 복조기(177)와 DPCCH 복조기(179)에 입력된다. 그 이후의 과정은 상기 도1의 복조부(170)에서와 동일하다.

<46> 즉 데시메이터(175)를 통하여 칩 단위로 다운 샘플된 I/Q 출력 신호는 각각 DPDCH 복조기(177)와 DPCCH 복조기(179)를 통해 디스크램블링(De-scrambling)과 디채널라이제이션(De-channelization)을 거치며 경로별 데이터 신호와 제어 신호로 복조되어 각각 DPDCH MRC(183)와 DPCCH MRC(185)로 입력된다.

<47> 한편, DPCCH 복조기(179)로부터 출력되는 파일럿 신호를 이용하여 채널 추정기(181)는 각 경로별 채널 추정을 한 후 채널 추정치(Ch_est)를 DPDCH MRC(183)와 DPCCH MRC(185)로 입력한다. DPDCH MRC(183)와 DPCCH MRC(185)는 각각 상기 두 입력값- 경로별 데이터 신호 또는 제어 신호 및 채널 추정치 -을 이용하여 DPDCH 비트와 DPCCH 비트의 최대비 결합 연성 비트 판정을 수행하여 감산을 위해 필요한 수신 신호의 재생을 위해 신호 재생부(Regenerator)(130)로 입력한다.

<48> 복조부(170)의 출력값인 복조 블록(171a 내지 171k)의 연성 비트 판정값은 신호 재생부(130)의 각 신호 재생 블록(재생 블록 1(131a), ..., 재생 블록 K(131k))으로 병렬 입력되어 각 신호 재생 블록(131a 내지 131k)에 있는 DPDCH 및 DPCCH를 위한 비트 판정기(135)를 통해 임시 비트 판정되는데, 입력이 음수가 아니면 1로, 음수인 경우에는 -1로 판정 된다.

<49> 비트 판정기(135)를 통해서 비트 판정된 값은 신호 재생 블록 1(131a) 내의 L 개의 핑거(133a 내지 133l)에 입력된다. 핑거(133a 내지 133l)에 입력된 비트 판정값은 송신기에서와 동일한 과정을 거쳐 확산되는데, 먼저 채널을 구분하기 위해 각 채널마다 할당된 고유의 직교 가변 확산 팩터(orthogonal variable spreading factor, OVSF) 코드를 이용하여 확산하는 채널 구분기(137)를 거친 후 칩 단위로 출력된다. 이때의 OVSF 코드는 코드 생성기(미도시)를 통해 생성된다.

<50> 다중 경로 신호를 재생하기 위해 채널 추정치 곱셈기(139)에서는 채널 구분기(137)를 통해 얻어진 DPDCH와 DPCCH 채널에 채널 추정치(Ch_est)를 곱한다. 채

널 추정치 곱셈기(139)를 통해 얻어진 DPDCH 재생 신호와 DPCCH 재생 신호는 사용자를 구분하기 위해 스크램블러(141)에 입력되어 코드 생성기(미도시)에서 생성된 스크램블링 코드와 곱해진 후 I/Q 신호로 출력된다.

<51> 출력된 칩 단위의 I/Q 신호는 0(零) 삽입기(143)로 입력되고 0(零) 삽입기(143)는 입력된 칩 단위의 I/Q 신호 뒤로 '오버샘플수-1' 개의 0을 삽입하여 오버샘플 단위의 신호로 변환되어 출력된다. 경로 선택기(145)는 다중 경로 신호 중 감산에 참여될 신호를 선택하는 역할을 하는데, 순위 결정기(미도시)를 통해서 다중 경로 신호의 순위를 결정한 다음 경로 선택기(145)가 그 순위에 따라 출력하거나 출력하지 않게 된다. 한 핑거 내 신호의 순위는 I/Q 채널에 동일하게 주어지며, I/Q 채널의 경로 선택기에서 I/Q 신호를 동시에 선택하거나 선택하지 않게 된다. 모든 경로가 다 선택되어지면 병렬 간섭 제거 수신기가 된다.

<52> 선택되는 경우, 0 삽입기(143)를 통과한 오버 샘플 단위의 I/Q 신호는 재생 신호 가산기(151)로 입력되며, 0 삽입기(145)를 통과하지 않은 칩 단위 I/Q 신호는 경로 선택기(145)를 통해 그대로 출력된다. 이러한 과정은 신호 재생부(130) 내의 신호 재생 블록(131a 내지 131k)에 포함된 모든 핑거(133a 내지 133l)에 동일하게 적용된다.

<53> 신호 재생부(130) 내의 신호 재생 블록(131a 내지 131k)에서 출력된 오버샘플 단위 신호는 상기한 바와 같이 재생 신호 가산기(151)에서 모두 합산된다. 재생 신호 가산기(151)를 통해서 모두 합산된 신호는 성형 여파기(153)를 통과한다. 재생 신호를 모두 합한 다음에 성형 여파기(153)를 통과하도록 함으로써, 일단(1 stage) 간섭 제거를 위해서는 성형 여파기(153)를 한번만 통과하면

된다. 이는 각 재생 신호마다 성형 여파기를 통과하는 종래 기술에 비하여 구조가 상당히 간단해 지며 연산량이 감소된다.

<54> 재생 신호 가산기(151)에서 출력된 데이터는 성형 여파기(153)를 통과한 후에 감산부(201) 내의 감산기(205)로 회귀된다. 감산부(201)의 감산기(205)에 의해 재생 신호가 감산되어진다. 이 감산기(205)는 버퍼(203)에 저장된 수신 신호와 선택된 재생 신호의 차이와 가우시안 잡음(Gaussian noise) 신호만을 출력하게 되고 이 출력 신호를 잔여 신호(Residual Signal)라 한다.

<55> 상기된 I/Q 잔여 신호는 재생 신호의 선택 여부에 무관하게 복조부(170)의 각 복조 블럭(171a 내지 171k)으로 동시에 병렬 입력되어 각 펌퍼(173a 내지 173l) 내에 있는 I/Q 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된다.

<56> 상기 데시메이터(175)의 출력값은 칩 단위 신호로서 각 사용자에게 주어진 칩 비동기 정보를 포함하고 있다. 상기 경로 선택기(145)에 의해 선택되지 못한 신호의 복조를 위해서는 단순히 잔여 신호를 수신 신호로 하여 복조부(170)에서와 동일한 과정을 수행하게 된다.

<57> 한편, 상기 경로 선택기(145)에 의해 선택된 신호의 복조를 위해서는 감산기(205)에서 선택된 재생 신호가 모두 감산되었으므로 상기 얻어진 잔여 신호에 각 경로의 재생 신호를 더하여 그 경로 신호의 비트 판정을 할 수 있다. 이를 위해서 신호 재생부(130) 내의 신호 재생 블럭(131a 내지 131l)에서 출력된 칩 단위 I/Q 신호는 잔여 신호와 타이밍을 맞추기 위해 딜레이(104, 105)를 고려한 후 복조 블럭 1(171a) 내의 해당 펌퍼(173a 내지 173l)로 입력된다.

<58> 각 핑거의 I 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된 I 잔여 신호는 딜레이(104)가 고려된 I 재생 신호와 합해져서 DPDCH 복조기(177)로 입력되며, Q 신호 데시메이터(175)를 통해 칩 단위로 다운 샘플된 Q 잔여 신호는 딜레이(105)가 고려된 Q 재생 신호와 합해져서 DPCCH 복조기(179)로 입력된다. 감산이 이루어지지 않고 맨 처음 수신 신호가 핑거로 입력되는 경우에는 경로 선택기(145)로부터 딜레이(104, 105)가 고려되어 데이터는 0 이다.

<59> 이러한 과정은 신호 재생부(130) 내의 모든 핑거(133a 내지 133l)에 동일하게 적용되고, 간섭 제거 과정을 통하여 다수의 혹은 전부의 경로 신호가 제거된 상황에서 비트 판정이 이루어지므로 보다 정확한 판정이 이루어질 수 있다. 최종 비트 판정은 DPDCH MRC(183)와 DPCCH MRC(185) 후에 신호 재생 블록 1(131a)의 비트 판정기(135)를 통해 경성 판정된 후 DPDCH 비트 판정값과 DPCCH 비트 판정값을 출력한다.

<60> 도2의 구조는 단일 간섭 제거기로 다단계의 간섭 제거가 이루어 질 수 있는 순환형 간섭 제거기 구조이며, 도1의 구조에 비하여 하드웨어의 복잡도를 상당히 감소시키는 장점이 있다.

<61> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지

치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어서 명백하다 할 것이다.

【발명의 효과】

<62> 이상과 같이 본 발명에 의하면, 간섭 제거를 위해 수신 신호를 재생할 때 대역 확산 필터의 위치를 모든 재생 신호를 합한 후에 통과하도록 함으로써 병렬 간섭 제거 수신기의 구조를 단순화시키고, 오버 샘플 단위로 신호를 재생하고 감산함으로써 비동기 시스템에 적용이 가능한 효과가 있다.

【특허청구범위】

【청구항 1】

다중 접속 간섭(MAI) 제거 장치를 포함하는 코드 분할 다중 접속 시스템의 수신기에 있어서,

오버 샘플 단위의 기저 대역 확산 신호로서 발신 단말로부터의 수신 신호 또는 잔여 신호를 수신하고 오버 샘플 단위에서 칩 단위로 다운 샘플링하여 복조 신호를 출력하는 복조부;

상기 복조 신호에 대해 비트 판정을 수행하고, 채널라이제이션(channelization) 및 스크램블링(scrambling)을 통해 신호를 재생하며 상기 재생된 신호를 오버 샘플 단위 신호 및 칩 단위 신호로 변환하여 출력하는 재생부;

상기 오버 샘플 단위 신호를 합산하는 가산부;

상기 합산 신호를 대역 확산 신호로 필터링하는 성형 여파부;

상기 수신 신호로부터 상기 성형 여파부에 의해 필터링된 대역 확산 신호를 감산하여 상기 잔여 신호를 출력하는 감산부; 및

상기 재생부로부터 출력된 칩 단위 신호를 딜레이시켜 상기 잔여 신호와 타이밍을 일치시키는 지연부

를 갖는 다중 접속 간섭 제거 장치를 포함하되,

상기 잔여 신호를 수신하는 상기 다중 접속 제거 장치는

상기 복조부에서 칩 단위로 다운 샘플링된 잔여 신호에 상기 지연부로부터 출력된 칩 단위 신호를 합산하여 복조 신호로 출력 시키는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 2】

제1항에 있어서,

상기 코드 분할 다중 접속 시스템의 수신기는

상기 수신 신호를 저장하여 상기 감산기로 출력하는 버퍼

를 더 포함하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 3】

제2항에 있어서,

상기 코드 분할 다중 접속 시스템의 수신기는

상기 다중 접속 간섭 제거 장치를 복수개 포함하며,

선행 다중 접속 간섭 제거 장치의 상기 감산부로부터 출력되는 잔여 신호와, 상기 지연부로부터 출력된 칩 단위 신호와, 상기 버퍼로부터 출력되는 수신 신호를 후행 다중 접속 간섭 제거 장치가 입력 신호로 수신하는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 4】

제2항에 있어서,

상기 다중 접속 간섭 제거 장치는,

상기 감산부로부터 출력되는 잔여 신호 및 상기 지연부로부터 출력된 칩 단위 신호가 상기 복조부로 회귀하는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 5】

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복조부는

상기 코드 분할 다중 접속 시스템의 사용자 수만큼의 복조기를 포함하고,

상기 재생부는

상기 코드 분할 다중 접속 시스템의 사용자 수만큼의 재생기를 포함하는 거

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 6】

제5항에 있어서,

상기 복조기는

상기 수신 신호 또는 잔여 신호의 I 채널 신호 및 Q 채널 신호를 각각 칩 단위의 신호로 다운 샘플링하는 I 신호/Q 신호 데시메이터;

상기 I 신호 데시메이터로부터 출력된 신호로부터 데이터 신호를 복조하는 전용 물리 데이터 채널(Dedicated Physical Data Channel, DPDCH) 복조기;

상기 Q 신호 데시메이터로부터 출력된 신호로부터 제어 신호를 복조하는 전용 물리 제어 채널(Dedicated Physical Control Channel, DPCCH) 복조기;

상기 전용 물리 제어 채널 복조기로부터 출력되는 파일럿 신호로부터 경로별 채널 추정치를 출력하는 채널 추정기;

상기 복조된 데이터 신호 및 상기 경로별 채널 추정치를 수신하여 전용 물리 데이터 채널 비트의 최대비 결합 비트 판정치를 출력하는 전용 물리 데이터 채널 최대비 결합기; 및

상기 복조된 제어 신호 및 상기 경로별 채널 추정치를 수신하여 전용 물리 제어 채널 비트의 최대비 결합 비트 판정치를 출력하는 전용 물리 제어 채널 최대비 결합기

를 포함하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 7】

제6항에 있어서,

상기 복조기는

상기 I 신호/Q 신호 데시메이터, 전용 물리 데이터 채널 복조기, 전용 물리 제어 채널 복조기 및 채널 추정기를 상기 각 사용자의 다중 경로의 수만큼 포함하는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 8】

제7항에 있어서,

상기 재생기는

상기 전용 물리 데이터 채널 비트의 최대비 결합 비트 판정치를 수신하여
비트 판정을 수행하는 전용 물리 데이터 채널 비트 판정기;

상기 전용 물리 제어 채널 비트의 최대비 결합 비트 판정치를 수신하여 비
트 판정을 수행하는 전용 물리 제어 채널 비트 판정기;

상기 전용 물리 데이터 채널 비트 판정기의 판정치 및 상기 전용 물리 제어
채널 비트 판정기의 판정치를 채널별 고유 확산 코드에 의해 확산시키는 채널
구분기;

상기 채널 구분기로부터 출력된 확산 신호에 상기 채널 추정치를 곱하여
전용 물리 데이터 채널 재생 신호 및 전용 물리 제어 채널 재생 신호를 출력하는
채널 추정치 곱셈기;

상기 전용 물리 데이터 채널 재생 신호 및 전용 물리 제어 채널 재생 신호
에 사용자 구분용 스크램블 코드를 곱하여 칩 단위의 I 신호 및 Q 신호를 출력하
는 스크램블러;

상기 I 신호 및 Q 신호를 오버 샘플 단위의 신호로 변환하여 출력시키는
영 삽입기; 및

상기 오버 샘플 단위의 I 신호 및 Q 신호는 상기 가산부로 출력시키고 상기
칩 단위의 I 신호 및 Q신호는 상기 지연부로 출력시키는 경로 선택기

를 포함하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 9】

제8항에 있어서,

상기 영 삽입기는

상기 칩 단위의 I 신호 및 Q 신호에 오버 샘플 수 - 1 개의 영(零)을 삽입하여 오버 샘플 단위의 신호로 변환시키는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【청구항 10】

제8항에 있어서,

상기 전용 물리 데이터 채널 비트 판정기는

상기 전용 물리 데이터 채널 비트의 최대비 결합 비트 판정치가 음수가 아니면 1로, 음수이면 -1로 비트 판정을 수행하고,

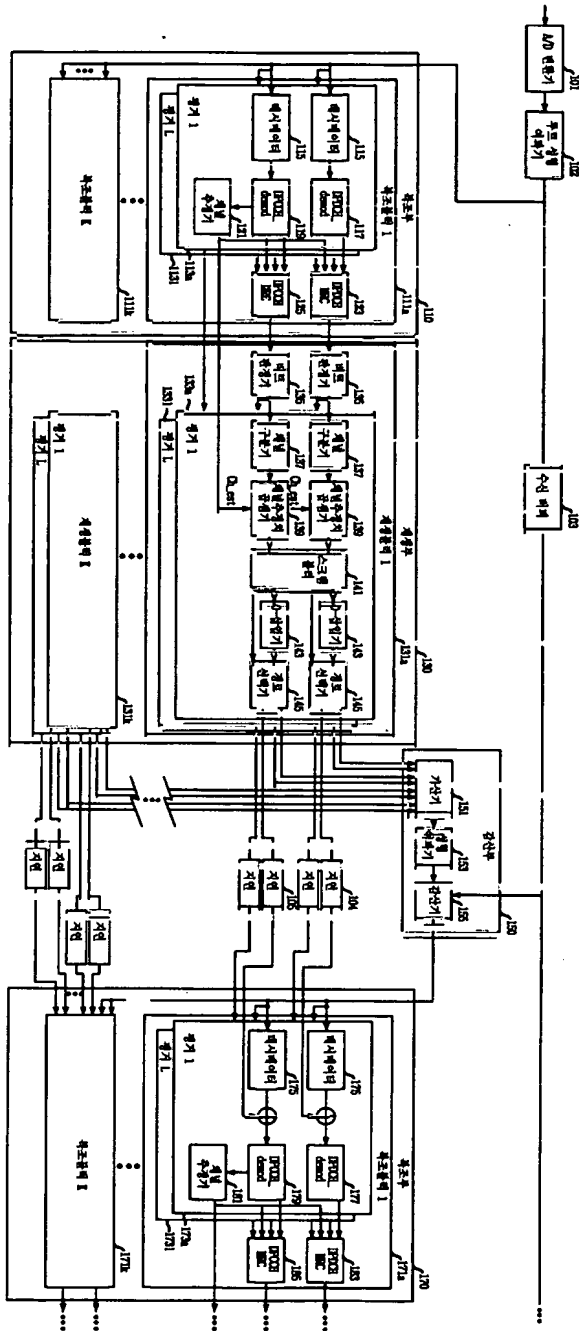
상기 전용 물리 제어 채널 비트 판정기는

상기 전용 물리 제어 채널 비트의 최대비 결합 비트 판정치가 음수가 아니면 1로, 음수이면 -1로 비트 판정을 수행하는 것

을 특징으로 하는 코드 분할 다중 접속 시스템의 수신기.

【도면】

【도 1】



【도 2】

